

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-059991

(43)Date of publication of application : 28.02.2003

(51)Int.Cl.

H01L 21/66
G01B 11/24
G01N 21/956

(21)Application number : 2002-152574

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.08.1990

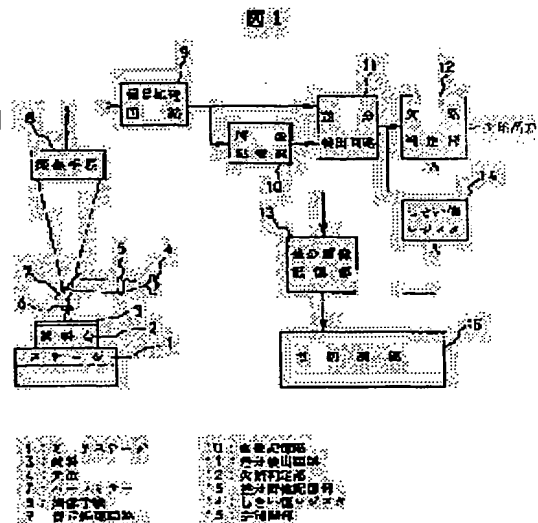
(72)Inventor : TANIGUCHI YUZO
ENDO FUMIAKI
KAMAGATA TAKAHIRO

(54) VISUAL INSPECTION SYSTEM AND VISUAL INSPECTION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a visual inspection technology in which a threshold can be set easily and accurately.

SOLUTION: With regard to two adjacent chips of a semiconductor wafer, image signal of a left chip is picked up, at first, by an image pickup means 8 with a specified inspection width and processed by a signal processing circuit 9 before being stored in an image storing section 10. Subsequently, image signal of a right chip is picked up with the same inspection width and processed by the signal processing circuit 9 before being delivered to a difference detection circuit 11 without being stored in the image storing section 10. The difference detection circuit 11 compares two image signals and if the difference is larger than a specified value, a defect judging section 12 judges the chip defective based on the difference signal and the optimal threshold of a threshold register 14.



LEGAL STATUS

[Date of request for examination]

25.06.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-59991

(P2003-59991A)

(43) 公開日 平成15年2月28日 (2003.2.28)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト (参考)

H 0 1 L 21/66

H 0 1 L 21/66

J 2 F 0 6 5

G 0 1 B 11/24

G 0 1 N 21/956

A 2 G 0 5 1

G 0 1 N 21/956

G 0 1 B 11/24

F 4 M 1 0 6

K

審査請求 有 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願2002-152574 (P2002-152574)

(62) 分割の表示 特願平2-227171の分割

(22) 出願日 平成2年8月29日 (1990.8.29)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 谷口 雄三

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所武蔵工場内

(72) 発明者 遠藤 文昭

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所武蔵工場内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

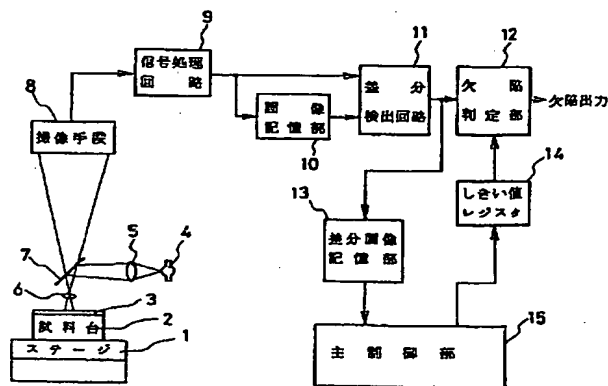
(54) 【発明の名称】 外観検査装置および外観検査方法

(57) 【要約】

【課題】 簡単かつ確にしきい値の設定を行うことのできる外観検査技術を提供する。

【解決手段】 半導体ウェハの隣接する2つのチップに対し、撮像手段8により、まず左側のチップの画像信号を所定の検査幅で取り込み、これを信号処理回路9による処理加工の後、画像記憶部10へ格納する。次いで、同一の検査幅によって右側のチップを画像信号として撮像し、信号処理回路9によって信号処理した後、画像記憶部10へ格納することなく差分検出回路11へ送出する。差分検出回路11では、2つの画像信号を比較し、その差が一定以上であるときには、その差分信号としきい値レジスタ14の最適しきい値とに基づいて、欠陥判定部12によって欠陥を判定する。

図 1



1: X-Yステージ
3: 試料
4: 光源
7: ハーフミラー
8: 撮像手段
9: 信号処理回路

10: 画像記憶部
11: 差分検出回路
12: 欠陥判定部
13: 差分画像記憶部
14: しきい値レジスタ
15: 主制御部

1

【特許請求の範囲】

【請求項1】 被検査物上の同一となるように形成された複数パターン¹⁰の各画像を検出する手段と、検出した画像間の差分値、およびしきい値に基づいてパターンの欠陥を判定する手段とを備えた外観検査装置であって、被検査物上の複数点における画像間の差分値の標準偏差の情報をを用いて、パターン寸法差のある正常部を欠陥として誤検出し¹⁰ないしきい値を決定する手段を備えていることを特徴とする外観検査装置。

【請求項2】 被検査物上の同一となるように形成された複数パターン¹⁰の各画像を検出し、検出した画像間の差分値、およびしきい値に基づいてパターンの欠陥を判定する外観検査方法であって、被検査物上の複数点における画像間の差分値の標準偏差の情報をを用いて、パターン寸法差のある正常部を欠陥として誤検出し¹⁰ないしきい値を決定することを特徴とする外観検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体ウェハなどの物体の表面の外観を検査する技術、特に、半導体装置の製造工程における外観検査を自動的に行うために用いて効果のある技術に関するものである。

【0002】

【従来の技術】 例えば、LSI（大規模集積回路）の量産をするに際して最も問題となるのは、半導体素子を形成するウェハ処理工程の歩留り向上である。この歩留り低下の殆ど²⁰の原因が外観不良であり、この低減は重要な課題になっている。このため、ウェハ外観検査の自動化が必要になる。

【0003】 ところで、本発明者は、半導体ウェハ、基板、マスク、レチクル、液晶などの外観検査を差分値処理を用いて行う場合のしきい値の設定の問題について検討した。

【0004】 以下は、本発明者によって検討された技術であり、その概要は次の通りである。

【0005】 この種の外観検査のための画像処理においては、例えば検査対象のチップをテレビカメラなどで撮像し、2チップの画像パターンを比較して得た差分値を用い、さらに、しきい値を設定して欠陥判定を行っている。

【0006】 しきい値を設定する方法として、例えば、画像の差分面積を求め、その最大面積の変化に応じて自動的にしきい値を設定する方法、正常パターン部の誤検出率を基にしきい値を設定する方法などが知られている。

【0007】 なお、検査対象が半導体ウェハの場合、半導体ウェハを搭載したX-Yステージの移動の際の僅かな振動、および半導体ウェハのパターンの寸法差（製品の精度ばらつき、例えば、チップの層形成段階でのパ

2

ーンの幅の違いなど）などが誤検出の原因になる。このため、機械的精度および製品精度によって検出感度が決定され、しきい値は機械的精度および製品精度を考慮して決定する必要がある。

【0008】

【発明が解決しようとする課題】 ところが、前記の如く差分面積の最大面積を判断規準とする方法では、入力画像点に欠陥が含まれている場合、欠陥部が最大面積として検出されるためにしきい値を求めることができず、また、正常パターン部の誤検出率を基にしきい値を設定する方法では、欠陥の含まれていない正常パターン部を識別する点についての配慮がなされておらず、欠陥の有無を目視によって確認しなければならないという問題のあることが本発明者によって見出された。

【0009】 そこで、本発明の目的は、簡単かつ的確にしきい値の設定を行うことのできる外観検査技術を提供することにある。

【0010】 本発明の前記目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

【0012】 すなわち、本発明の外観検査装置は、被検査物上の同一となるように形成された複数パターン³⁰の各画像を検出する手段と、検出した画像間の差分値、およびしきい値に基づいてパターンの欠陥を判定する手段とを備えた外観検査装置であって、被検査物上の複数点における画像間の差分値の標準偏差の情報をを用いて、パターン寸法差のある正常部を欠陥として誤検出し³⁰ないしきい値を決定する手段を備えているものである。

【0013】 また、本発明の外観検査方法は、被検査物上の同一となるように形成された複数パターン³⁰の各画像を検出し、検出した画像間の差分値、およびしきい値に基づいてパターンの欠陥を判定する外観検査方法であって、被検査物上の複数点における画像間の差分値の標準偏差の情報をを用いて、パターン寸法差のある正常部を欠陥として誤検出し³⁰ないしきい値を決定するものである。

【0014】 上記した手段によれば、被検査物上の複数点の差分値データの統計量に基づいて決定されたしきい値は、最適しきい値のおおよその決定値として設定でき、或いは基準となる中心値として用いることができる。したがって、最適な欠陥検出しきい値の設定を自動かつ短時間に行うことが可能になる。

【0015】

【発明の実施の形態】（実施例1）図1は本発明による自動外観検査装置の一実施例を示すブロック図である。

【0016】 X方向およびY方向へ自在に移動可能なX-Yステージ1の上面には試料台2が取り付けられ、この試料台上に試料（半導体ウェハ）3がセットされる。

一方、被検査物である試料 3 の表面を照明するために光源 4 が設けられ、その光路上に集光レンズ 5 が配設されている。

【0017】試料 3 の上部には対物レンズ 6 が配設され、この上部でかつ集光レンズ 5 の出射光路上にハーフミラー 7 が配設されている。さらに、対物レンズ 6 の合焦位置には撮像手段 8 が配設されている。この撮像手段 8 は、試料 3 からの反射光を光電変換するもので、一次元ラインセンサあるいは二次元的な I TV (工業用テレビ) カメラを用いて構成される。撮像手段 8 には、その画像信号を増幅、歪み補正、A/D 変換などを行うための信号処理回路 9 が接続され、この信号処理回路 9 にはデジタル化された画像信号を記憶するための画像記憶部 10 が接続されている。

【0018】信号処理回路 9 には、画像記憶部 10 の出力信号と信号処理回路 9 の出力信号との間の差分を検出する差分検出回路 11 が接続され、この差分検出回路 11 にはパターン上の欠陥を判定する欠陥判定部 12 が接続されている。

【0019】差分検出回路 11 には、その検出結果を記憶する差分画像記憶部 13 が接続され、欠陥判定部 12 にはしきい値を記憶するしきい値レジスタ 14 が接続されている。さらに、差分画像記憶部 13 の差分データに基づいてしきい値レジスタ 14 のしきい値を選択するためにマイクロコンピュータなどを用いた主制御部 15 が設けられている。

【0020】以上の構成において、外観検査を行うには、まず、試料台 2 上に試料 3 を載置し、光源 4 を点灯する。その光源 4 からの出力光は集光レンズ 5 を経てハーフミラー 7 に到達し、さらに対物レンズ 6 を経て試料 3 上に到達する。試料 3 の照明部分の反射光は、ハーフミラー 7 を通過して撮像手段 8 にパターンを結像する。撮像手段 8 によって光電変換された画像信号は、信号処理回路 9 によって信号処理した後、画像記憶部 10 に一時的に記憶される。

【0021】この画像記憶部 10 に記憶された他のチップの画像信号と信号処理回路 9 から直接出力された現チップの画像信号とが差分検出回路 11 によって比較され、両画像信号の差分がとられ、その差分信号は差分画像記憶部 13 に記憶される。

【0022】主制御部 15 は、差分画像記憶部 13 に記憶されている差分データに基づいて最適なしきい値を演算し、しきい値レジスタ 14 にしきい値を設定する。

【0023】欠陥判定部 12 は、差分検出回路 11 からの差分信号と、しきい値レジスタ 14 に設定された最適しきい値とに基づいて欠陥を判定し、欠陥と判定されれば、欠陥出力を行う。

【0024】次に、半導体ウェハを例にとり、欠陥を検出する方法について説明する。

【0025】図 2 は半導体ウェハの構成を示す平面図で

ある。試料 3 である半導体ウェハは、円板状のシリコン基板 3 a の片面に多数のチップ 3 b が格子状に配置されている。

【0026】このような半導体ウェハよりなる試料 3 に対し、例えば、CCD (電荷結合素子) などの一次元ラインセンサを撮像手段 8 に用いた場合、図 3 に示すように、隣接する 2 つのチップ 3 b に対し、まず左側のチップ 3 b を検査幅 W_r で画像信号 A を取り込み、これを信号処理回路 9 による処理加工ののち画像記憶部 10 へ格納する。次いで、同一の検査幅 W_D によって右側のチップ 3 b を画像信号 B として撮像し、信号処理回路 9 によって信号処理した後、画像記憶部 10 へ格納することなく差分検出回路 11 へ送出する。差分検出回路 11 では、図 3 の 2 つの画像信号 (斜線部) を比較し、その差が一定以上であるときには、その差分信号としきい値レジスタ 14 の最適しきい値とに基づいて、欠陥判定部 12 によって欠陥を判定する。

【0027】また、I TV により撮像手段 8 を構成した場合、図 4 に示すように、隣接する 2 つのチップ 3 b に対し、まず左側のチップ 3 b を検査幅 W_r で画像信号 C を取り込み、図 3 の場合と同様に、これを信号処理回路 9 による処理加工ののち画像記憶部 10 へ格納する。ついで、同一の検査幅 W_D によって右側のチップ 3 b を画像信号 D として撮像し、信号処理回路 9 によって処理ののち画像記憶部 10 へ格納することなく差分検出回路 11 へ送出する。差分検出回路 11 では、図 3 の 2 つの画像信号 (斜線部) を比較し、その差が一定以上であるときには、その差分信号と、しきい値レジスタ 14 の最適しきい値とに基づいて、欠陥判定部 12 によって欠陥を判定する。

【0028】図 5 および図 6 は 2 つのチップの同一位置におけるパターンを比較したときの差分信号の表れ方を説明したものである。図 5 に示すように、パターン 1 が比較の基準となる正常部を示し、パターン 2 が欠陥 16 を含んだ比較対象である。なお、パターン幅 (パターン寸法) が、両方で僅かに異なるが、他の寸法差は欠陥ではないものとする。このようなパターンの画像信号の差の絶対値をとると、図 6 のように、欠陥部の差分信号も出るが、同時にパターン寸法差のために正常部でも差分信号が出る。

【0029】欠陥のみを正しく検出し、正常部を欠陥として検出しないようにするためには、正常部での差分信号の値が問題になる。したがって、欠陥検出のためのしきい値が正常部を欠陥と判定しないような値にする必要がある。

【0030】次に、本発明の特徴である最適しきい値の設定原理について説明する。

【0031】図 7 はしきい値と欠陥検出率および誤検出の関係を示した説明図である。

【0032】一般に、しきい値を低くしていくと、或る

5

しきい値以下で急激に誤検出が増加する。一方、欠陥検出率は、誤検出率ほど急激には増加しない。したがって最適しきい値は、図7中に示すように、誤検出がそれほど多くなならない値に設定すれば、効率のよい検査が可能になる。

【0033】図8は一定範囲の2つの画像信号を比較し、その差分信号の値と頻度の関係を示す説明図である。図より明らかなように、差分値の頻度は差分値が大きくなると急激に減少する。しかし、欠陥部が画像内に存在すると、最適しきい値より高い値の点に差分値が発生する。したがって、複数点の画像を基に、図8に示す差分値の頻度分布をとり、各画像入力点での最大差分値(d)をとり、最大差分値が比較的大きな値となった画像入力点を欠陥の存在する可能性がある領域とみなし、これ以外の画像入力点での最大差分値をもとに最適しきい値を算出する。

【0034】次に、図9～図13を参照して本発明の最適しきい値決定処理の詳細について説明する。図9は本発明における初期しきい値推定処理を示すフローチャート、図10は最適しきい値を自動設定する処理を示すフローチャート、図11は最大差分値と頻度の関係を示す説明図、図12はしきい値と検出数の関係を示す説明図、図13は差分値と累積頻度(比率)の関係を示す説明図である。なお、以下においては、差分検出から以降についての処理を説明する。

【0035】差分を検出(ステップ91)したのち、差分の最大値を検出する(ステップ92)。ついで、差分最大値のヒストグラムを算出する(ステップ93)。すなわち、図11に示すように、画像入力点が異なるとパターンの形状も異なり、最大差分値にばらつきが生じる。

【0036】ここで、最大差分値の平均値を S_{AVE} 、最大差分値の標準偏差を σ_s 、最適しきい値を TH とすると、最適しきい値 TH は次式で表される。

【0037】 $TH = S_{AVE} + n \sigma_s$ ここで、 n は実数であり、発明者らの実験によれば、 $n = 2$ 程度で最良の結果が得られた。

【0038】ヒストグラム算出は、予め設定した回数 N に達するまで続けられ(ステップ94)、 N 回に達した時点で差分最大値のヒストグラムの平均値を算出し、これを初期しきい値 TH_0 とする(ステップ95)。

【0039】次に、検査領域を指定(複数のチップのどれを検査対象とするかの指定)し(ステップ101)、ステップ95による初期しきい値 TH_0 をしきい値 TH 0としてしきい値レジスタ14に格納する(ステップ102)。ついで、 $X-Y$ ステージ1を駆動して自動検査を開始し(ステップ103)、さらに欠陥候補の検出数をデータテーブルへ格納する(ステップ104)。

【0040】そして、初期しきい値 TH_0 を中心に、その上下の複数点(本実施例では $M = 5$ の5点)のしきい

6

値を求める(ステップ105、106)。 M 点のしきい値を求め終わったら、図12のようなグラフを作成する(ステップ107)。

【0041】図12において、曲線の平坦部は実欠陥検出領域を示し、勾配部は誤検出領域を示している。ここで、初期しきい値 TH_0 を中心に求めた上下のしきい値 TH_1 、 TH_2 、 TH_3 、 TH_4 の相互間の検出数(欠陥候補)の差を求め、検出数の差すなわち図12の曲線の傾きの急変する点(図中の TH_0)が最適しきい値として妥当か否かを判断する(ステップ108)。

【0042】仮に、初期しきい値 TH_0 付近の曲線の傾きが小さい場合、しきい値の値が高すぎるので、低くなるように最適しきい値を修正する。逆に、曲線の傾きが急すぎれば、しきい値の値が低すぎるので、高くなるように最適しきい値を修正する。

【0043】なお、以上の処理においては、初期しきい値 TH_0 を求めることなく、一定間隔に多数のしきい値を設定して検出数を求め、各しきい値間の傾きの急変するところを求めることにより最適しきい値を求めることができる。

【0044】(実施例2)図13は本発明による最適しきい値の他の求め方による他の実施例を示す説明図である。

【0045】この例では、複数点の正常パターン部の画像入力点での差分値累積頻度分布を全て累積し、図中の斜線部の比率 S が一定比率以下になる値を最適しきい値 TH にしている。この場合、比率 S の値は実験的に10⁻⁵程度であり、画像入力点の数は前記比率 S を高信頼度に求め得るだけのデータを採れるようにする。

【0046】以上、本発明によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0047】例えば、以上の実施例では、最適しきい値を求めるに際し、差分値の分布を基に統計的に処理する方法であれば、他のどのような方法を用いてもよい。

【0048】以上の説明では、主として本発明者によってなされた発明をその利用分野である半導体ウェハの外観検査に適用する場合について説明したが、これに限定されるものではなく、例えば、プリント基板、液晶、レチクル、マスクなどの外観検査に適用することも可能である。

【0049】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0050】すなわち、被検査物上の複数点の差分量データの統計量に基づいてしきい値を決定するようにしたので、最適な欠陥検出しきい値の設定を自動的、かつ短時間に行うことが可能になり、装置稼働率の向上を図る

7

ことができ、かつ作業者の負担を軽減することができる。

【図面の簡単な説明】

【図1】本発明による自動外観検査装置の一実施例を示すブロック図である。

【図2】半導体ウェハの構成を示す平面図である。

【図3】一次元ラインセンサを用いた場合の比較検査説明図である。

【図4】ITVを用いた場合の比較検査説明図である。

【図5】正常パターンと欠陥パターンの一例を示す説明図である。

【図6】図5のパターンに対応する差分値出力特性図である。

【図7】しきい値と欠陥検出率および誤検出の関係を定性的に示した説明図である。

【図8】一定範囲の2つの画像信号を比較し、その差分信号の値と頻度の関係を示す説明図である。

【図9】本発明における初期しきい値推定処理を示すフ

8

*ローチャートである。

【図10】最適しきい値を自動設定する処理を示すフローチャートである。

【図11】最大差分値と頻度の関係を示す説明図である。

【図12】しきい値と検出数の関係を示す説明図である。

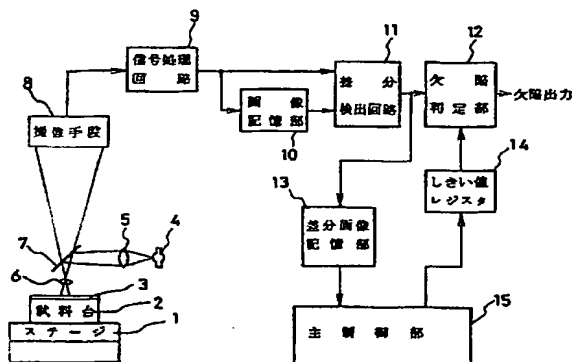
【図13】差分値と累積頻度（比率）の関係の他の実施例を示す説明図である。

【符号の説明】

1・・・X-Yステージ、2・・・試料台、3・・・試料、3a・・・シリコン基板、3b・・・チップ、4・・・光源、5・・・集光レンズ、6・・・対物レンズ、7・・・ハーフミラー、8・・・撮像手段、9・・・信号処理回路、10・・・画像記憶部、11・・・差分検出回路、12・・・欠陥判定部、13・・・差分画像記憶部、14・・・しきい値レジスタ、15・・・主制御部、16・・・欠陥。

【図1】

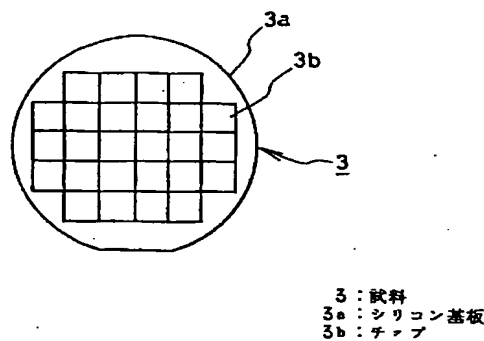
図1



- | | |
|------------|--------------|
| 1: X-Yステージ | 10: 画像記憶部 |
| 2: 試料台 | 11: 差分検出回路 |
| 3: 試料 | 12: 欠陥判定部 |
| 4: 光源 | 13: 差分画像記憶部 |
| 5: 集光レンズ | 14: しきい値レジスタ |
| 6: ハーフミラー | 15: 主制御部 |
| 7: 撮像手段 | |
| 8: 信号処理回路 | |

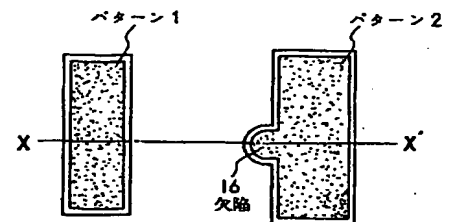
【図2】

図2



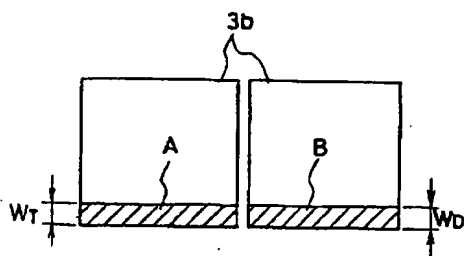
【図5】

図5



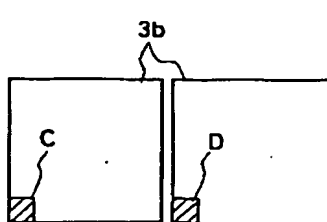
【図3】

図3

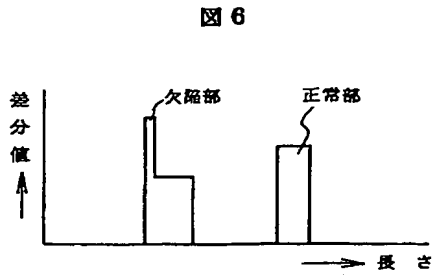


【図4】

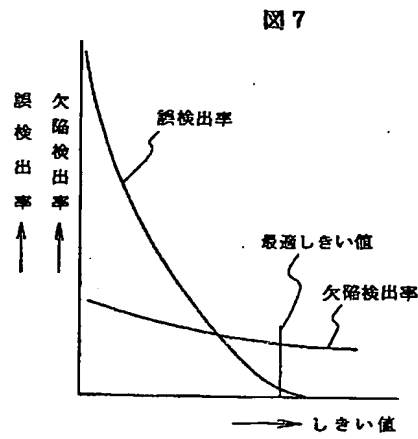
図4



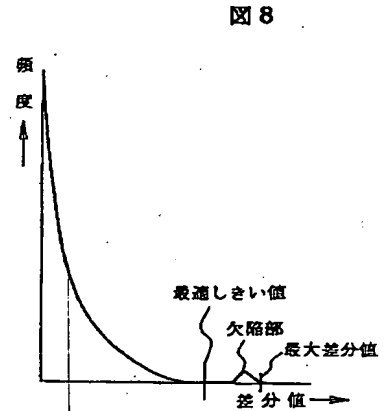
【図6】



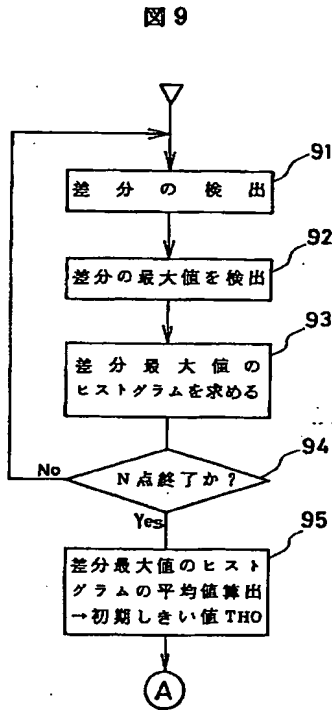
【図7】



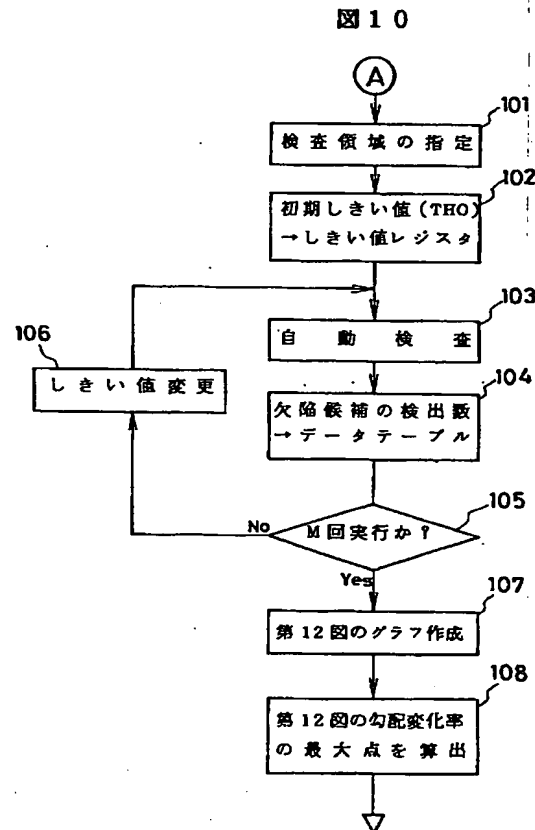
【図8】



【図9】

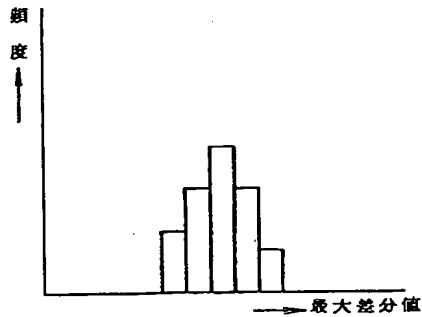


【図10】



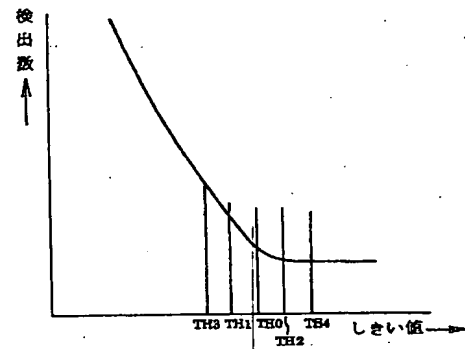
【図11】

図11



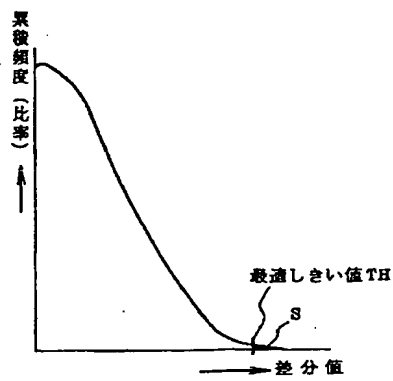
【図12】

図12



【図13】

図13



フロントページの続き

(72) 発明者 鎌形 孝宏
東京都青梅市藤橋3丁目3番地2 日立東
京エレクトロニクス株式会社内

Fターム(参考) 2F065 AA56 BB02 CC19 FF04 JJ02
JJ03 JJ19 JJ25 PP12 QQ03
QQ08 QQ24 QQ25 QQ29 QQ42
QQ43
2G051 AA65 AB02 AC21 CA04 CB01
CC11 EA08 EA11 EB01 EC06
4M106 AA01 BA04 CA39 DB21